

SEMICONDUCTOR DEVICE

Patent Number: JP61059862
Publication date: 1986-03-27
Inventor(s): SAKURAI JUNJI; others: 02
Applicant(s): FUJITSU LTD
Requested Patent: ☐ JP61059862
Application Number: JP19840181972 19840831
Priority Number(s):
IPC Classification: H01L25/04
EC Classification:
Equivalents: JP1795206C, JP5003142B

Abstract

PURPOSE:To improve the integration by laminating a plurality of chips formed with wirings having peripheral end at the outer periphery, contacting the side walls of the chips with the inner surface of a package when containing the laminated chips in the package, and forming wirings contacted with the wirings of the chips in the package.

CONSTITUTION:Wirings 4 made of metal layer are formed by connecting electrodes and wirings 2 on chips 1 to extend to the side walls 3 of the chips 1. Then, the chips 1 and insulating plates 5 are alternately laminated and bonded. A package 9 which has wirings 7 of a buried metal layer having an exposure 6 at the position corresponding to the wirings 4 and a cavity 8 is formed. The package 9 is heated to expand the length of one side of the cavity 8, the laminate is inserted into the cavity 8, the wirings 4 are contacted with the exposure 6 of the wirings 7, and the package 9 is gradually cooled. Thus, a semiconductor device of chip-on-chip structure which can sufficiently perform its functions with high integration can be manufactured.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-59862

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)3月27日

H 01 L 25/04

7638-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭59-181972

⑰ 出 願 昭59(1984)8月31日

⑱ 発 明 者	桜 井 潤 治	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 発 明 者	向 井 良 一	川崎市中原区上小田中1015番地	富士通株式会社内
⑳ 発 明 者	伊 澤 哲 夫	川崎市中原区上小田中1015番地	富士通株式会社内
㉑ 出 願 人	富士通株式会社	川崎市中原区上小田中1015番地	
㉒ 代 理 人	弁理士 松岡 宏四郎		

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) チップの外周近傍に両端を有する第1の配線が設けられた半導体装置チップが複数積層され、該半導体装置チップの積層体はパッケージの中に収容され、前記半導体装置チップのそれぞれの側壁は前記パッケージの内面の対応する領域と密着しており、前記パッケージには前記第1の配線と接触するように第2の配線が設けられてなることを特徴とする半導体装置。

(2) 前記半導体装置チップ相互間には絶縁物層が介在してなることを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) 前記第1の配線と前記第2の配線とのいずれかは、前記チップと前記パッケージとの接合面より突出して凸状をなし、他方は凹状をなすことを特徴とする特許請求の範囲第1項または第2項記載の半導体装置。

(4) 前記第1の配線と第2の配線とは前記チップの側壁の1部分上まで延在してなることを特徴とする特許請求の範囲第1項または第2項記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の集積度を向上し製造歩留りを向上する改良に関する。特に、複数の半導体装置チップを積層してなす、いわゆる、チップオンチップ型構成を可能とする改良に関する。

(従来の技術)

半導体装置において、集積度を向上し、さらに、製造歩留りを向上するために、複数の半導体装置チップを積層して単一の半導体装置を構成するチップオンチップ型ICと呼ばれる半導体装置がある。これは、半導体装置チップを積層することにより単位平面積当りの素子数を増大して集積度を向上するとともに、単一の半導体装置を複数のチップに分割して上記単一の半導体装置当りの不良品発生確率を減少し製造歩留りを向上するも

THIS PAGE BLANK (USPTO)

のである。

(発明が解決しようとする問題点)

複数の半導体装置チップを使用して単一の半導体装置を構成する場合、各チップ相互間及び上記単一の半導体装置全体としての外部引き出し端子を設けることが必要である。かかる接続を実現するために従来使用されている手段は、チップ上にボンディングパッドを設け、これに接続されるボンディングワイヤを使用してなすことである。

たゞ、相互に積層される複数のチップにボンディングパッドを設けることとすると、例えば、第7図に示すように、積層されるチップ1の平面積を、上段に行くにしたがって減少する等の措置を講ぜざるを得ず、十分に集積度を向上することができない。また、ボンディングワイヤ相互間の短絡を防ぐためにはワイヤボンディング上の制限が発生し、特に、外部引き出しボンディングを図示するように平面的になすこととすれば、パッケージの面積は大幅に増大することとなり、集積

大し信頼性を向上するために有効である。また、上記いずれの構成においても、第1の配線と第2の配線のいずれかが、第2図に示すように、チップとパッケージとの接合面すなわちチップの側壁より突出して凸状をなし他方がこれに対応するように凹状をなすと配線間の接続が確実になり、信頼性向上に有効である。上記第1、第2の構成において、第1及び第2の配線が、第3図に示すように、チップ側壁の1部分上まで延在するようになすと配線間の接続が確実になり信頼性向上に有効である。

(作用)

チップオンチップ型ICを実現する上での妨げとなる主たる要素は、その接続にボンディングワイヤを利用しようとする点にあるから、本発明においては、接続にボンディングワイヤを使用することを止め、厚さ $10\mu\text{m}$ 程度の金属層の先端部を接触させて接続を実現したものである。そして、この厚さ $10\mu\text{m}$ 程度の金属層を正確に接触させるために、半導体装置チップをその外周が密着する

度の向上はあまり期待しえない。

以上説明せるとおり、複数の半導体装置チップを積層して単一の半導体装置を構成するチップオンチップ型ICにおいては、チップ相互間及びチップと外部との接続手段についてさらに改良すべき点がある。

(問題点を解決するための手段)

本発明は、チップ相互間及びチップと外部との接続手段に改良を加え、集積度が十分に向上し、製造歩留りも十分に改良されたチップオンチップ構造の半導体装置を提供するものであり、その手段は、チップの外周近傍に同端を有する第1の配線が設けられた半導体装置チップが複数個積層され、該半導体装置チップの積層体はパッケージの中に収容され、前記半導体装置チップのそれぞれの側壁は前記パッケージの内面の対応する領域と密着しており、前記パッケージには前記第1の配線と接触するように第2の配線が設けられてなる半導体装置にある。上記の構成において、各チップ間に絶縁物層を介在させることは絶縁耐力を増

パッケージに収容し、このパッケージ内に、その先端が露出している他方の配線を埋め込こんでおき、半導体装置チップの積層体をパッケージ中に正確に組み込み上記の金属層同士を互いに接触させて確実な接続を実現したものである。

(実施例)

以下、図面を参照しつつ、本発明の一実施例に係る半導体装置についてさらに説明する。

第4図参照

半導体装置チップ製造工程の最終段階において、それまでの工程で形成されている電極・配線のうちの所望の電極・配線2に接続して、チップ1の側壁3の1部上まで延在するように厚さ $10\mu\text{m}$ 程度の金属層よりなる第1の配線4をチップ1上に形成する。この工程はリフトオフ法等を使用すれば容易に実行しうる。

第5図参照

上記のチップ1と絶縁板5とを交互に積層して接合する。絶縁板5はセラミック材であってもプラスチック材であってもさしつかえない。

第6図参照

第1の配線4に対応する位置に露出部6を有する埋め込み金属層よりなる第2の配線7を有し、半導体装置チップ積層体の外形に対応する形状の空洞8を有するパッケージ9を成形する。パッケージ9は、セラミック材であっても耐熱性プラスチック材であってもよいが、埋め込み金属層よりなる第2の配線を設ける必要があるため、セラミック材の場合は板状のグリーンシート上に所望の金属パターンを形成した後このグリーンシートを複数枚組み合わせることで焼成することが現実的であり、プラスチック材の場合はプラスチックシート上に所望の金属パターンを形成した後、このプラスチックシートを複数枚貼り合わせることで現実的である。

第1図、第3図参照

セラミックパッケージの場合は、パッケージ9を200度C程度に加熱して空洞8の1辺の長さを10~15 μ m膨脹させておき、上記の半導体装置積層体を真空チャック等を使用して持ち上げ、上記

チップをエッチバックし、他方は配線のみをエッチすることにより容易に形成しうる。すなわち、まず、チップ1上に突出した配線4を形成するには、チップ1上に第1の配線4を通常の手法により形成した後、この第1の配線4の先端はエッチせず、チップ1の側面のみをエッチバックすればよい。また、その先端がパッケージ9内に設けられた凹部内にある配線7を形成するには、パッケージ9中に埋め込み金属層として配線7を形成した後、金属層のみをわずかにエッチすればよい。

(発明の効果)

以上説明せるとおり、本発明によれば、複数の半導体装置チップが相互に積層され、この積層体はパッケージ中に収容され、この積層体の外周はパッケージの内面に密着し、各チップの表面周辺部と、パッケージの対応する領域とは、金属層よりなる第1と第2の配線が設けられており、チップ積層体がパッケージ中に組み込まれた状態において、第1と第2の配線が接触圧着されて接続を実現しているため、上段に行くにしたがって

の膨脹した空洞8中に挿入し、第1の配線4と第2の配線7の露出部6とを接触させ、パッケージ9を徐冷する。

プラスチックパッケージの場合は、軟化はしないが十分に膨脹はする程度でプラスチック材料によって決まる温度に加熱して空洞8の1辺の長さを20 μ m膨脹させておき、上記の半導体装置積層体を真空チャック等を使用して持ち上げ、上記の膨脹した空洞8中に挿入し、第1の配線4と第2の配線7の露出部6とを接触させ、パッケージ9を徐冷する。

第2図参照

第1の配線2と第2の配線4との関係位置は、その一方がチップ1の側面3とパッケージ9の接合面すなわちチップの側壁から突出して凸状をなしているか、または、その逆に凹状をなしており、相互に嵌合しうるようにされていてもよい。

この嵌合構造の第1と第2の配線は、チップとパッケージとのうちの一方を、配線を残してエッ

チップ面積を減少させる必要はなく、すべてのチップは十分大きな面積を有することができ、ボンディングワイヤを平面的に張る必要がないためパッケージの平面も小さくてよく、十分に集積度が高くなり、期待しうる機能を十分に発揮しうるチップオンチップ構造の半導体装置を提供することができる。なお、動作時にはチップに設けられた要素が発熱してチップはいくらか膨脹するが、第1と第2の配線はさらに圧着されることになり、接続はさらに良好になる。さらに、かかる構造においては、その組み立ての機械化が容易であるという利点もある。

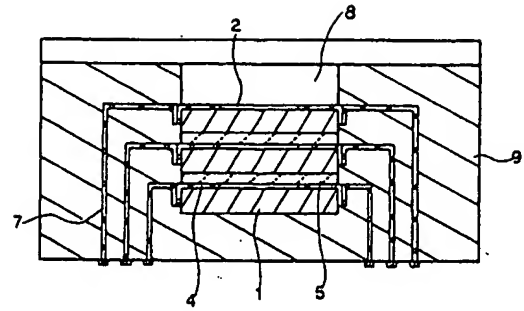
4. 図面の簡単な説明

第1図は、本発明の一実施例に係る半導体装置の断面図である。第2図、第3図は、本発明の要旨に係る第1と第2の配線の構造と接触状態を示す断面図である。第4図、第5図、第6図は、本発明の一実施例に係る半導体装置の主要製造工程完了後の断面図である。第7図は従来技術に係るチップオンチップ型ICの断面図である。

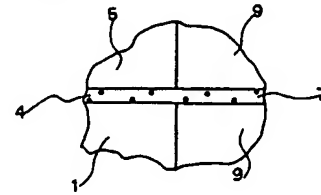
- 1・・・チップ、 2・・・電極・配線、
 3・・・チップの側面、 4・・・第1の配線、
 5・・・絶縁板、 6・・・露出部、 7・・・
 第2の配線、 8・・・空洞、 9・・・パッ
 ケージ、 10・・・ボンディングワイヤ、

代理人 弁理士 松岡安四郎

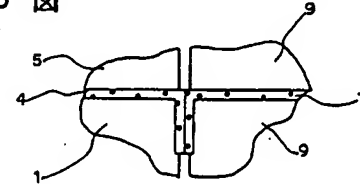
第1図



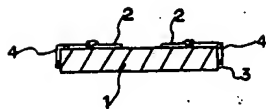
第2図



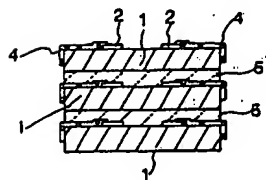
第3図



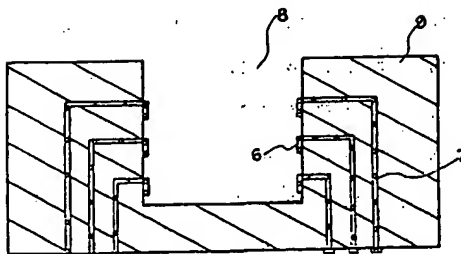
第4図



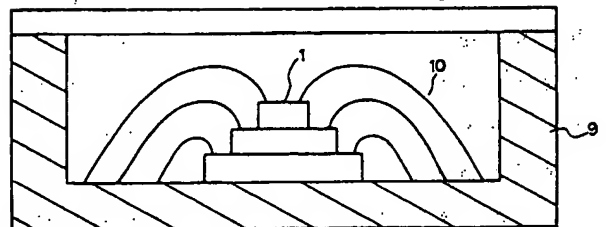
第5図



第6図



第7図



THIS PAGE BLANK (USPTO)